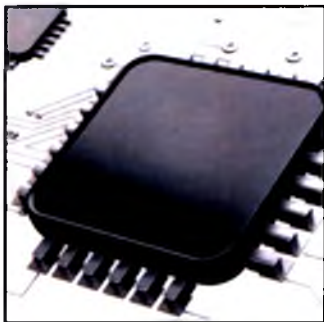


# электроники

А.И. БЕЛОУС, Г.Я. КРАСНИКОВ,  
В.А. СОЛОДУХА

ОСНОВЫ  
ПРОЕКТИРОВАНИЯ  
СУБМИКРОННЫХ  
МИКРОСХЕМ



ТЕХНОСФЕРА

# Содержание

<b>Вместо предисловия — дайджест</b> .....	15
<b>Введение</b> .....	25
<b>Глава 1. Физические основы работы полевых транзисторов</b> .....	31
1.1. Физические основы работы субмикронных МОП-транзисторов.....	31
1.1.1. Типовая структура МОП-транзистора.....	31
1.1.2. Глубина области обеднения .....	38
1.1.3. Определение величины заряда в слое инверсии .....	39
1.1.4. Оценка толщины инверсионного слоя.....	40
1.2. Анализ работы МОП-транзистора с длинным каналом .....	41
1.2.1. Анализ влияния подложки на работу МОП-транзистора .....	41
1.2.2. Выражения для оценки значения допорогового тока.....	42
1.3. Анализ физических процессов, происходящих в субмикронном МОП-транзисторе .....	45
1.3.1. Анализ физических эффектов, влияющих на пороговое напряжение МОП-транзистора .....	45
1.3.2. Методы ограничения эффекта сквозного пробоя .....	51
1.3.3. Эффект возникновения тока утечки стока МОП-транзистора, обусловленный влиянием его затвора.....	52
Литература к главе 1.....	53
<b>Глава 2. Особенности конструктивно-схемотехнического проектирования субмикронных микросхем</b> .....	56
2.1. Основные проблемы проектирования микросхем с субмикронными проектными нормами .....	56
2.2. Основные тенденции развития кремниевых БИС.....	59
2.3. Пути уменьшения величины потребления мощности в субмикронных БИС.....	63
2.4. Взаимосвязь утечки и статического потребления мощности в структуре субмикронного МОП-транзистора .....	71
2.4.1. Пути уменьшения потребления мощности в субмикронных КМОП-БИС .....	71
2.4.2. Анализ токов, протекающих в субмикронном МОП-транзисторе .....	74
2.4.3. Физические причины возникновения токов утечки в субмикронных кремниевых транзисторах .....	77
2.4.3.1. Подпороговый ток утечки $I_{SUB}$ субмикронного МОП-транзистора.....	78
2.4.3.2. Туннельный ток затвора $I_{GATE}$ МОП-транзистора .....	79
2.4.3.3. Ток выключения $I_{OFF}$ МОП-транзистора .....	80
2.4.3.4. Методы снижения величины статической мощности потребления МОП-транзистора .....	81

2.4.3.5. Особенности проектирования субмикронных аналоговых и аналогово-цифровых БИС с учетом статического потребления мощности .....	83
2.5. Динамическое потребление мощности субмикронного МОП-транзистора .....	87
2.5.1. Задержки распространения сигнала на внутренних межсоединениях кристалла .....	89
2.5.2. Методы снижения уровня динамической мощности субмикронных БИС .....	89
2.5.3. Анализ и расчет динамической мощности, обусловленной токами утечки .....	91
2.6. Проблемы корпусирования субмикронных микросхем .....	95
2.7. Методы обеспечения надежности передачи сигналов в субмикронных микросхемах .....	97
2.7.1. Использование стандартных библиотек проектирования .....	98
2.7.2. Использование двух внутренних источников питающих напряжений .....	98
2.8. Влияние температуры и разброса технологических параметров на характеристики кремниевых субмикронных микросхем .....	99
2.8.1. Учет зависимости токов утечки от температуры .....	99
2.8.1.1. Температурная зависимость токов $I_{ON}$ и $I_{OFF}$ .....	99
2.8.1.2. Температурная зависимость подпорогового тока $I_{SUB}$ .....	102
2.8.1.3. Температурная зависимость тока перехода $I_{JUNC}$ .....	102
2.8.1.4. Температурная зависимость тока $I_{GIDL}$ .....	103
2.8.1.5. Температурная зависимость туннельного тока затвора $I_{GATE}$ .....	104
2.9. Взаимосвязь разброса параметров технологического процесса и численных значений токов утечки .....	105
2.9.1. Причины и виды отклонений технологических и топологических параметров .....	105
2.9.2. Оценка влияния разброса технологических параметров на токи утечки .....	108
2.10. Особенности проектирования топологии аналоговых микросхем с проектными нормами глубокого субмикрона .....	112
2.10.1. Учет влияния уменьшения напряжения питания .....	112
2.10.2. Учет эффекта масштабирования и задержки распространения сигнала на межсоединениях кристалла .....	114
2.11. Основные ограничения при проектировании КМОП-микросхем с минимальным энергопотреблением .....	116
2.11.1. Физические ограничения при проектировании маломощных КМОП-микросхем .....	116
2.11.2. Конструктивно-технологические ограничения при проектировании маломощных КМОП-микросхем .....	119
2.11.3. Схемотехнические ограничения при проектировании маломощных КМОП-микросхем .....	120

2.11.4. Системотехнические ограничения при проектировании микромошных КМОП-микросхем .....	122
2.12. Основные рекомендации разработчикам конструкций кремниевых субмикронных микросхем .....	125
Литература к главе 2 .....	129
<b>Глава 3. Основные характеристики цифровых микросхем.....</b>	<b>131</b>
3.1. Структурная организация цифровых микросхем .....	131
3.1.1. Общая структура цифровых микросхем .....	131
3.1.2. Структура внутренних элементов цифровых микросхем .....	133
3.1.3. Структура элементов согласования цифровых микросхем .....	139
3.2. Система основных параметров и характеристик цифровых микросхем .....	149
3.2.1. Функциональные параметры цифровых микросхем .....	149
3.2.2. Электрические параметры цифровых микросхем .....	149
3.2.3. Динамические параметры цифровых микросхем .....	152
3.3. Схемотехническое исполнение цифровых микросхем.....	153
3.3.1. Энергетические характеристики базовых ЛЭ цифровых микросхем .....	153
3.3.2. Схемотехническое исполнение базовых ЛЭ цифровых микросхем .....	163
3.3.3. Методика выбора элементной базы цифровых микросхем.....	167
3.4. Влияние дестабилизирующих факторов на работоспособность цифровых микросхем .....	168
3.4.1. Устойчивость цифровых микросхем к электростатическому разряду.....	169
3.4.2. Устойчивость цифровых микросхем к воздействию перегрузок .....	175
3.4.3. Зависимость электрических характеристик цифровых микросхем от режимов эксплуатации .....	176
3.4.4. Устойчивость цифровых микросхем к воздействию помех .....	178
3.5. Паразитные элементы и эффекты в цифровых микросхемах .....	191
3.5.1. Паразитные транзисторные элементы в кристаллах цифровых микросхем .....	191
3.5.2. Эффект Миллера .....	196
3.5.3. Эффект «зашелкивания» .....	198
Литература к главе 3 .....	204
<b>Глава 4. Схемотехнические решения цифровых КМОП-микросхем .....</b>	<b>206</b>
4.1. Базовые логические элементы цифровых КМОП-микросхем .....	206
4.1.1. Статические КМОП ЛЭ .....	206
4.1.2. Базовые ЛЭ динамической КМОП-логики .....	226
4.2. Элементы памяти цифровых КМОП-микросхем .....	241
4.2.1. Элементы памяти, тактируемые уровнем синхросигнала .....	241
4.2.2. Элементы памяти, тактируемые фронтом синхросигнала .....	248
Литература к главе 4.....	250

<b>Глава 5. Схемотехнические решения биполярных микросхем.....</b>	<b>252</b>
5.1. Цифровые микросхемы на биполярных транзисторах	
с диодами Шоттки .....	252
5.1.1. Базовые логические элементы ТТЛШ цифровых микросхем .....	253
5.1.2. Базовые ЛЭ Шоттки транзисторной логики .....	260
5.1.3. Базовые ЛЭ Шоттки интегральной логики .....	262
5.1.4. Базовые ЛЭ диодно-транзисторной логики с диодами Шоттки .....	266
5.2. Элементы памяти ТТЛШ микросхем .....	267
5.2.1. Элементы памяти, тактируемые фронтом синхросигнала .....	267
5.2.2. Элементы памяти, тактируемые уровнем синхросигнала .....	275
5.3. Схемотехника входных элементов согласования ТТЛШ микросхем .....	277
5.3.1. Входные ЭС ТТЛШ микросхем со стандартными ТТЛ входными уровнями .....	277
5.3.2. Входные ЭС ТТЛШ микросхем с повышенной нагрузочной способностью .....	281
5.3.3. Входные ЭС ТТЛШ микросхем с парафазными выходами .....	283
5.3.4. Входные ЭС ТТЛШ микросхем с памятью .....	285
5.3.5. Входные ЭС ТТЛШ микросхем с повышенной помехоустойчивостью .....	288
5.3.6. Входные ЭС с преобразованием уровней сигналов .....	294
5.3.7. Схемы защиты цепей входных ЭС ТТЛШ микросхем .....	300
5.4. Схемотехника выходных элементов согласования ТТЛШ микросхем .....	303
5.4.1. Выходные ЭС ТТЛШ микросхем со стандартными ТТЛ выходными уровнями .....	303
5.4.2. Выходные ЭС ТТЛШ микросхем с памятью .....	312
5.4.3. Выходные ЭС ТТЛШ микросхем с преобразованием уровней сигналов .....	314
5.4.4. Схемотехника цепей защиты выходных ЭС ТТЛШ микросхем .....	317
5.5. Цифровые микросхемы на основе интегральной инжекционной логики .....	330
5.5.1. Разновидности базовых элементов И <sup>2</sup> Л микросхем .....	334
5.5.2. Элементы памяти И <sup>2</sup> Л микросхем .....	342
5.5.3. Схемотехника входных элементов согласования И <sup>2</sup> Л микросхем .....	349
5.5.4. Защита выводов И <sup>2</sup> Л микросхем от перенапряжения и статического электричества .....	364
Литература к главе 5 .....	364
<b>Глава 6. Схемотехнические решения БиКМОП-микросхем.....</b>	<b>367</b>
6.1. Базовые логические элементы БиКМОП-микросхемы .....	368
6.2. Элементы памяти БиКМОП-микросхемы .....	379

6.3. Схемотехника входных элементов согласования БиКМОП-микросхемы .....	381
6.3.1. Входные ЭС БиКМОП-микросхемы с преобразованием уровней сигналов .....	381
6.3.2. Входные ЭС БиКМОП-микросхемы с повышенной нагрузочной способностью .....	387
6.3.3. Входные ЭС БиКМОП-микросхемы с парафазными выходами .....	387
6.3.3. Входные ЭС БиКМОП-микросхемы повышенной помехозащищенности .....	388
6.3.4. Входные ЭС БиКМОП-микросхемы с памятью.....	389
6.3.5. Схемотехника цепей защиты входных ЭС БиКМОП-микросхемы.....	389
6.4. Схемотехника выходных элементов согласования БиКМОП-микросхемы .....	390
6.4.1. Выходные ЭС БиКМОП-микросхемы с формированием КМОП выходных уровней.....	390
6.4.2. Выходные ЭС БиКМОП-микросхемы с формированием ТТЛ выходных уровней .....	391
6.4.3. Выходные ЭС БиКМОП-микросхемы с формированием ЭСЛ выходных уровней.....	395
6.4.4. Выходные ЭС БиКМОП-микросхемы с памятью.....	396
6.4.5. Схемотехника цепей защиты выходных ЭС БиКМОП-микросхемы.....	397
Литература к главе 6.....	397
<b>Глава 7. Особенности проектирования радиационностойких микросхем на основе КНС и КНИ-структур.....</b>	<b>399</b>
7.1. Радиационно-стойкие КМОП БИС на основе КНИ-структур .....	400
7.2. Воздействие ионизирующего облучения на кремний и двуокись кремния .....	410
7.2.1. Радиационные эффекты в кремнии при облучении.....	410
7.2.1.1. Радиационные дефекты, их комплексы и кластеры .....	410
7.2.1.2. Особенности дефектообразования в кремнии и поликремнии, облученном импульсами гамма-квантов.....	412
7.2.2. Свойства границы раздела Si/SiO <sub>2</sub> .....	412
7.2.2.1. Общие сведения о строении SiO <sub>2</sub> .....	412
7.2.2.2. Электронная структура SiO <sub>2</sub> .....	414
7.2.3. Воздействие ионизирующего облучения на диэлектрические слои.....	417
7.2.3.1. Введение объемного заряда в диэлектрик .....	417
7.2.3.2. Образование быстрых поверхностных состояний .....	418
7.2.3.3. Влияние радиации на проводимость диэлектрических слоев.....	418
7.2.3.4. Отжиг облученных диэлектрических слоев.....	419

7.2.3.5. Иерархия времен радиационно-индуцированных процессов в структурах с диэлектриком .....	419
7.2.3.6. Пути повышения стабильности структур с диэлектрическими слоями .....	419
7.2.4. Радиационные процессы в скрытом диэлектрике структур кремний-на-изоляторе .....	420
7.2.5. Сравнение радиационных свойств КНИ-структур, полученных разными способами .....	422
7.3. Физические явления в МОП/КНИ-транзисторах в условиях воздействия ИИ .....	424
7.3.1. Ионизирующее излучение .....	424
7.3.1.1. Единичные сбои .....	425
7.3.1.2. Единичная защелка .....	428
7.3.1.3. Единичное выгорание .....	428
7.3.1.4. Единичный пробой затвора .....	429
7.3.1.5. Единичное восстановление (однотранзисторная защелка) .....	429
7.3.2. Эффекты полной дозы .....	429
7.3.3. Эффекты импульсного облучения.....	433
7.4. Результаты экспериментальных исследований образцов элементной базы КМОП БИС на КНИ-структурах .....	435
7.4.1. Состав тестовых элементов .....	435
7.4.2. Методика проведения эксперимента .....	438
7.4.3. Экспериментальные результаты .....	440
7.4.3.1. Резисторы.....	440
7.4.3.2. Диоды.....	443
7.4.3.3. Конденсаторы.....	445
7.4.3.4. Транзисторы.....	448
Литература к главе 7.....	458
<b>Глава 8. Библиотеки проектирования субмикронных микросхем – структура и особенности.....</b>	<b>459</b>
8.1. Маршрут процесса разработки библиотеки проектирования, структура стандартного PDK .....	459
8.2. Термины и определения, используемые при описании компонентов PDK .....	461
8.3. Стандартизация PDK.....	463
8.4. Маршрут проектирования смешанных аналогово-цифровых микросхем .....	467
8.5. Обобщенная информационная модель проектирования смешанных аналогово-цифровых ИМС.....	469
8.6. Определение состава базовой библиотеки проектирования и перечня стандартных элементов .....	471
8.7. Особенности разработки цифровых библиотек для проектирования заказных ИМС с субмикронными проектными нормами.....	473

8.8. Конструктивно-схемотехнические особенности проектирования базовых элементов библиотеки субмикронных микросхем .....	482
8.8.1. Схемы сдвига уровня напряжений .....	482
8.8.2. Схемы управления питанием.....	484
8.8.3. Библиотечные элементы изоляции субмикронных микросхем .....	485
8.8.4. Постоянно включенные буферы .....	487
8.9. Типовые информационные файлы PDK библиотеки проектирования .....	489
8.10. Стандартные модели источников тока (CCS) PDK .....	492
8.11. Способы и примеры адаптации стандартных инструментов проектирования ИМС к разработкам микросхем с проектными нормами 90, 65, 45 нм .....	494
8.11.1. Учебный (образовательный) дизайн-кит компании Synopsys: возможности, применение, перспективы.....	494
8.11.2. Краткий обзор EDK компании Synopsys.....	494
8.11.3. Стандартная библиотека цифровых компонентов фирмы Synopsys.....	498
8.11.4. Стандартная библиотека элементов ввода-вывода.....	501
8.11.5. Стандартный набор модулей памяти PDK.....	501
8.11.6. Цепь фазовой синхронизации PLL.....	501
8.11.7. География применения и перспективы EDK .....	502
8.12. Состав учебных дизайн-китов, предоставляемых Центром микроэлектроники ИМЕС .....	502
Литература к главе 8.....	506
<b>Глава 9. Маршруты проектирования цифровых микросхем и систем-на-кристалле.....</b>	<b>507</b>
9.1. Выбор маршрута проектирования микросхемы.....	507
9.2. Этап системного проектирования .....	510
9.3. Этап функционального проектирования .....	513
9.4. Этап логического проектирования.....	517
9.5. Этап физического (топологического) проектирования .....	518
9.6. Этап физической верификации и подготовки к производству .....	521
9.7. Аттестация проекта .....	523
9.8. Маршруты проектирования систем-на-кристалле .....	523
9.8.1. Тенденции развития средств проектирования .....	523
9.8.2. Методология проектирования SoC .....	525
9.8.3. Маршрут проектирования SoC.....	528
9.8.4. Системное проектирование SoC .....	529
9.8.5. Программные средства САПР для системного уровня.....	532
9.9. Практический пример моделирования системы-на-кристалле .....	534
9.9.1. Стандартный маршрут проектирования «СнК» фирмы Cadence .....	534



9.9.2. Описание среды моделирования и верификации.....	534
9.9.3. Проект в среде Cadence Incisive .....	539
Литература к главе 9.....	542
<b>Глава 10. Основы логического проектирования КМОП-микросхем с пониженным энергопотреблением.....</b>	<b>543</b>
10.1. Основы логического синтеза КМОП-микросхем с пониженным энергопотреблением.....	543
10.2. Определение источников рассеиваемой мощности в КМОП-микросхемах .....	545
10.3. Вероятностная оценка вариантов оптимизации по прогнозируемой переключательной активности узлов микросхемы .....	547
10.4. Выбор элементного базиса при проектировании КМОП-микросхем с пониженным энергопотреблением .....	549
10.5. Логический синтез КМОП-микросхем в базисе библиотечных элементов.....	551
10.6. Оптимизация двухуровневых логических схем с учетом рассеивания мощности.....	553
10.7. Выбор базовых вентилей технологически независимой функциональной схемы .....	554
10.8. Оптимизация многоуровневых логических схем из многовходовых вентилей.....	556
10.9. Оптимизация многоуровневых логических схем из двухвходовых вентилей.....	558
10.10. Технологическое отображение .....	560
10.11. Оценка энергопотребления спроектированных КМОП-микросхем на логическом и схемотехническом уровнях.....	562
10.12. Технология проектирования КМОП-микросхем с пониженным энергопотреблением с использованием комплекса ЭЛС .....	564
10.13. Архитектура программного комплекса ЭЛС .....	566
10.14. Функциональные возможности программного комплекса ЭЛС .....	567
Литература к главе 10.....	571
<b>Глава 11. Основы проектирования кибербезопасных микросхем и систем-на-кристалле.....</b>	<b>573</b>
11.1. Основы безопасности проектирования микросхем .....	573
11.1.1. Постановка задачи.....	573
11.1.2. Анализ типового маршрута проектирования микросхем .....	575
11.1.3. Возможные типы атак .....	576
11.1.4. Основные различия между разработкой безопасных микросхем и разработкой безопасных программ.....	577
11.1.5. Жизненный цикл разработки безопасного программного обеспечения .....	578
11.1.6. Методы безопасного проектирования микросхем.....	579

11.2. Программно-аппаратные методы противодействия аппаратным троянам в микросхемах .....	584
11.2.1. Защита данных.....	584
11.2.2. Защищенные архитектуры на RTL-уровне .....	588
11.2.3. Реконфигурируемые архитектуры .....	590
11.2.4. Репликация и другие методы защиты.....	592
11.3. Проектирование с целью обеспечения безопасности системы-на-кристалле.....	594
11.3.1. Введение в проблему .....	594
11.3.2. Описание структуры модуля безопасности .....	597
11.3.2.1. Введение в IP-инфраструктуры.....	597
11.3.2.2. Стандарт IEEE 1500 .....	598
11.3.3. Структура модуля IIPS .....	600
11.3.4. Проектирование функций безопасности IIPS .....	603
11.3.4.1. Модели атак и стратегии по устранению их последствий.....	603
11.3.4.2. Примеры реализации простейших безопасных структур SoC.....	606
11.3.5. Протокол испытаний микросхемы согласно стандарту IEEE Std. 1500 .....	614
11.3.5.1. Режимы работы элементов обвязки микросхемы .....	614
11.3.5.2. Особенности протокола тестирования SoC уровня IIPS.....	616
11.3.6. Результаты моделирования демонстрационной версии безопасной SoC.....	619
11.3.6.1. Временная диаграмма работы системы .....	619
11.3.6.2. Методики обнаружения аппаратных троянов в SoC.....	621
11.3.6.3. Оценка необходимых аппаратные затрат для выявления трояна .....	624
11.3.7. Описание дополнительных возможностей блока IIPS .....	626
11.4. Безопасная архитектура SoC.....	628
11.4.1. Введение в проблему .....	628
11.4.2. Структура и принцип работы стандартной шины SoC.....	630
11.4.3. Организация и принцип работы дешифратора адреса .....	632
11.4.4. Структура и принцип работы блока арбитра.....	634
11.4.5. Описание работы системы-на-кристалле непосредственно после обнаружения аппаратного трояна.....	637
11.4.6. Оценка аппаратных затрат на реализацию метода обеспечения безопасности .....	639
11.5. Использование «песочницы» как метода защиты от аппаратных троянов в SoC.....	643
11.5.1. Введение в проблему .....	643
11.5.2. Песочница как инструмент обеспечения безопасности .....	645
11.5.3. Анализ сходных направлений решения проблемы безопасности проектирования SoC.....	646

11.5.4. Особенности организации процедур перемещения аппаратных тroyонов в песочницу при проектировании SoC.....	648
11.5.5. Основные программные методы помещения в песочницу .....	649
11.5.6. Типовая структура аппаратной песочницы .....	650
11.5.7. Описание типового процесса проектирования защищенной SoC .....	652
11.5.8. Анализ практических примеров реализации песочницы в SoC.....	655
Литература к главе 11 .....	660

<b>Глава 12. Основы построения системы управления качеством изготовления субмикронных интегральных микросхем на базе тестовых структур.....</b>	<b>666</b>
12.1. Методология организации технологического тестового контроля в процессе проектирования и производства микроэлектронных изделий.....	666
12.1.1. Место и роль полупроводниковых тестовых структур в процессе изготовления интегральных микросхем.....	666
12.1.2. Классификация технологических тестовых структур .....	668
12.1.3. Способы размещения тестовых структур на полупроводниковых пластинах .....	670
12.2. Принципы организации контроля процесса изготовления микросхем с использованием тестовых структур.....	672
12.2.1. Оценка качества процесса на основе метода межоперационного контроля пластин.....	672
12.2.2. Типовой состав тестового модуля контроля производственных процессов .....	673
12.2.3. Типовой состав тестовых структур для контроля качества субмикронных микросхем.....	674
12.2.4. Статистическая обработка результатов измерений тестовых структур .....	677
12.3. Прогнозирование процента выхода годных микросхем по результатам тестового контроля.....	678
12.3.1. Особенности моделирования процента выхода годных микросхем .....	678
12.3.2. Модель пооперационного разделения дефектности технологического процесса изготовления микросхем .....	682
12.4. Типовая структура системы тестового контроля качества технологических процессов .....	685
12.4.1. Особенности организации тестовых модулей для биполярных и КМОП-микросхем.....	685
12.4.2. Типовой пример применения тестовых модулей для анализа технологического процесса изготовления в условиях серийного производства.....	689
12.5. Основные технологические факторы, влияющие на надежность микроэлектронных изделий.....	691

12.5.1. Основы теории надежности полупроводниковых приборов и интегральных микросхем .....	691
12.5.2. Пути повышения надежности системы металлизации интегральных микросхем и полупроводниковых приборов .....	695
Литература к главе 12 .....	700
<b>Глава 13. Основные тенденции развития, проблемы и угрозы современной микроэлектроники .....</b>	<b>703</b>
13.1. Форсайт как инструмент долгосрочного прогнозирования научно-технического развития .....	703
13.2. Основные направления развития современной микроэлектроники .....	704
13.3. Использование новых материалов .....	706
13.4. Смена драйверов развития .....	707
13.5. Особенности экономики субмикронного производства .....	709
13.6. Усиление деструктивного действия эффекта Yield Killer .....	712
13.7. Состояние и перспективы развития технологии FinFET в Китае .....	714
13.8. Технологические проблемы современной микроэлектроники .....	716
13.9. Тенденции развития космической микроэлектроники .....	717
13.10. Интегральная фотоника – новый этап в развитии микроэлектроники .....	718
13.11. Основы квантовой микроэлектроники .....	720
13.12. Изменение парадигмы проектирования микросхем .....	720
13.13. Современная микроэлектроника и кибербезопасность .....	721
13.14. Принципиальные отличия «отечественных» и «зарубежных» концепций разработки и использования ЭКБ при проектировании РЭА .....	724
13.15. Микроэлектронная промышленность как основа суверенитета России .....	727
Литература к главе 13 .....	728
<b>Глава 14. Технологии корпусирования микросхем .....</b>	<b>732</b>
14.1. Основные тенденции развития технологий корпусирования микросхем .....	732
14.2. BGA-технология сборки кристаллов .....	736
14.3. Технология монтажа кристаллов на плату .....	738
14.4. Многокристальные модули и печатные платы .....	740
14.5. Основные тенденции развития технологий корпусирования высокоскоростных микроэлектронных устройств .....	744
14.5.1. Тенденция уменьшения шага выводов корпуса микросхем .....	744
14.5.2. Технология сборки на пластине (WLP) .....	749
14.6. Технологии TSV сборки микросхем .....	755
14.7. Особенности сборки 3D-изделий с использованием технологии «flip-chip» .....	760
14.8. Основные тенденции развития технологии корпусирования микроэлектронных изделий космического и военного назначения .....	763

14.9. Специализированные радиационно-защитные корпуса микросхем .....	768
14.9.1. Современные материалы и конструкции корпусов с интегрированными элементами радиационной защиты.....	768
14.9.2. Экспериментальные исследования экранов радиационной защиты на основе различных материалов.....	773
14.9.3. Корпуса для микросхем с ЭРЗ на основе композитного материала W-CU .....	777
Литература к главе 14.....	778